



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04345225 A**(43) Date of publication of application: **01.12.92**

(51) Int. Cl.

**H04J 3/00**  
**H04L 15/20**
(21) Application number: **03117797**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **23.05.91**(72) Inventor: **YAMADA MITSUHIRO**(54) **RADIO TERMINAL STATION EQUIPMENT**

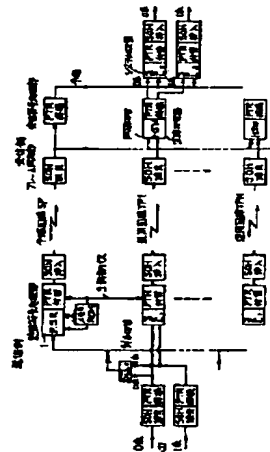
## (57) Abstract:

**PURPOSE:** To attain uninterruptible hitless changeover without causing a phase difference and to avoid the circuit scale from being increased by providing a control bus through which control information used to control the elimination of a mutual phase difference required for replacement of a new pointer is transferred to the equipment.

**CONSTITUTION:** A PTR replacement device which replaces a pointer PTR of a multiplex signal resulting from an input O/1 system signal subject to a section overhead SOH elimination and having the pointer PTR at its termination is respectively arranged after a changeover device for the O/1 system being a sender side selector SEL<sub>1</sub>. Then a programmable shift register 1 provided to a transmission code processing section of a standby circuit SP controls a delay time between a signal inputted for the processing of a new PTR and its shift output by means of a program written in a memory ROM 2 through a control bus BUS 3 so that the line SP and the active line TP are synchronously with each other and the mutual phase difference is eliminated. Thus, the system is switched uninterruptibly and the circuit scale

of the selectors for the changeover of the system at a reception side is not huge.

COPYRIGHT: (C)1992,JPO&amp;Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-345225

(43)公開日 平成4年(1992)12月1日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 J 3/00

R 8843-5K

H 0 4 L 15/20

8020-5K

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号

特願平3-117797

(22)出願日

平成3年(1991)5月23日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 山田 三浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

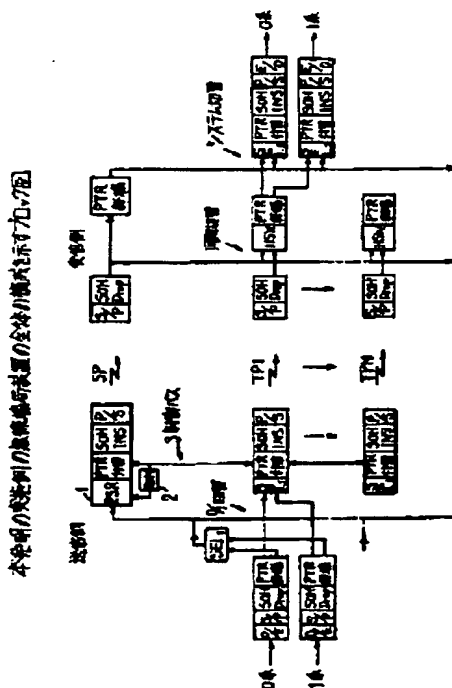
(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 無線端局装置

(57)【要約】 (修正有)

【目的】 受信側の予備回線の出力と各現用回線の0/1系出力との切替において互の間に位相差を生ぜず無瞬断のヒットレス切替を可能とし回路規模も大としない。

【構成】 入力信号のセクションオーバーヘッドSOHを除くポイントPTRを終端した多重化信号に夫々新しいポイントPTRを付替えるPTR付替器を、送信側の0/1系の切替SEL<sub>i</sub>の後に配置し、該切替SEL<sub>i</sub>の後の予備回線の送信符号処理部に、新ポイントPTRの処理の為に入力する信号と其のシフト出力との間の遅延時間をプログラムで制御するプログラマブル・シフトレジスタP.S.R. 1と該プログラムを予め記憶するメモリROM 2とを具え、又予備回線と各現用回線の両送信符号処理部の間に該予備回線と各現用回線の両方が新ポイントPTRの付替に必要な互の位相差を無くすように制御する制御情報を転送する制御バスを具えて前記メモリROMに所要のプログラムを書き込む。



## 【特許請求の範囲】

【請求項1】 入力に互に同期した0系、1系の多重化信号を入力し処理して無線伝送するN個の現用回線の各出力と1個の予備回線の出力との切替を無瞬断で行うデジタルの無線端局装置であって、入力0系、1系の信号のセクションオーバーヘッド(SOH)を除去しポインタ(PTR)を終端した多重化信号に夫々新しいポインタPTRを付替えるPTR付替器を、送信側の0系と1系の切替(SEL<sub>1</sub>)の後に配置し、予備回線(SP)の送信符号処理部に新ポインタ(PTR)の処理の為に該切替器(SEL<sub>1</sub>)からの出力の遅延時間をプログラムで制御するプログラマブル・シフトレジスタ(1)と該プログラムを予め記憶して置くメモリROM(2)と、又予備回線(SP)上の該プログラマブル・シフトレジスタ(1)の出力及び各現用回線(TP1)上の切替器(SEL<sub>1</sub>)からの出力とに新ポインタ(PTR)の付替に必要な相互の位相差を無くすように制御する制御情報を転送する制御バス(3)を具えて前記メモリROM(2)に書き込むようにしたことを特徴とする無線端局装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は新しく標準化されたデジタル多重伝送システムの同期デジタルハイアラーキSDH(Synchronous Digital Hierarchy)に対応し、それぞれ互に同期した2系(0系、1系)の時分割の多重化信号を入力し符号処理して無線伝送するN個の現用回線の各出力と1個の予備回線の出力との回線切替の機能を有するデジタル無線端局装置に関する。

## 【0002】

【従来の技術】 SDH対応のデジタル無線端局装置は、回線品質および回線信頼度を向上させる為に、主信号に影響を及ぼす構成回路はすべて、図4のブロック図に示す如く、2系即ち0系、1系をもち、無線回線はN個の現用回線に対し1個の予備回線をもつ冗長構成となっている。そして片方例えば0系から他方1系へ切替や各現用回線から予備回線への回線切替と其の逆の切戻時には、多重化信号の先頭位置を示すアドレス情報であるポインタPTRを新しく付替える0系、1系のPTR付替器、0系、1系のPTR切替器から出力の一方を選択する送信側の0系、1系の切替のセレクトSEL<sub>1</sub>や受信側で無線の各現用回線の出力を予備回線の出力へ切替える回線切替器HSW、システム切替のセレクトSEL<sub>2</sub>には、主信号や制御信号等に影響を与えない事が要求されている。即ち、送信側の0系、1系の切替のセレクトSEL<sub>1</sub>の後の現用回線と予備回線の各送信側符号処理部は、先に入力信号のフレーム同期や誤り監視等の制御信号であるセクションオーバーヘッドSOHを除去し、ポインタPTRを終端し、新ポインタPTRを付け替えた出力の0系と1系の一方をセレクトSEL<sub>1</sub>で選択し、選択した信号に対して、新セクションオーバーヘッドSOHを挿入して送信する。そして該送信信号を受信する受信側では、例えば現用回線TP1の受信信号のセク

ションオーバーヘッドSOHを除去しフレーム同期をとったフレーム同期部の出力を、予備回線SPのフレーム同期部の出力に切替える回線切替器HSWは、両出力の互の位相が一致し無瞬断のヒットレスの同期切替が要求されている。そして受信符号処理部では、現用回線TP1のポインタPTRを終端するPTR終端器の0系、1系の各出力を、予備回線SPの同様のPTR終端器の出力に切替えるセレクトSEL<sub>2</sub>により、受信側のシステム切替が行われ、0系、1系とも、各セレクトSEL<sub>2</sub>の出力のポインタPTRを付替えるPTR付替器、セクションオーバーヘッドSOHを挿入するSOH挿入器を通り、並/直変換器P/S、電気/光変換器E/Oを経て、外部へ出力する構成となっている。

## 【0003】

【発明が解決しようとする課題】 上述の従来のSDH対応のデジタル無線端局装置は、受信側の回線切替器HSWにおける同期切替を実現する為に、送信側の0系、1系のセレクトSEL<sub>1</sub>による切替の前にPTR付替器を配置していたので、その送信側の0系、1系の切替のセレクトSEL<sub>1</sub>により、受信側のシステム切替のセレクトSEL<sub>2</sub>における予備回線SPのPTR終端器の出力と、現用回線TP1のPTR終端器の0系、1系の各出力との間に位相差が生じて、受信側のシステム切替のセレクトSEL<sub>2</sub>における無瞬断のヒットレス切替が困難であった。又、受信側のシステム切替のセレクトSEL<sub>2</sub>もその回路規模が膨大となる為に、0系出力と1系出力との間にも位相差が生じて、無瞬断の切替が容易でなくなるという問題があった。本発明の目的は、受信側のシステム切替における予備回線SPの出力と各現用回線TP1の0/1系の各出力との間に位相差を生ぜず、無瞬断でヒットレスの切替が可能であり回路規模も膨大とならないデジタル無線端局装置を提供することにある。

## 【0004】

【課題を解決するための手段】 この目的は、図1の原理図に示す如く、入力0系、1系の信号のセクションオーバーヘッドSOHを除去しポインタPTRを終端した多重化信号に夫々新しいポインタPTRを付替えるPTR付替器を、送信側の0系、1系のセレクトSEL<sub>1</sub>による切替の後に配置し、該切替の後の予備回線SPの送信符号処理部に新ポインタPTRの処理の為に入力する信号と其のシフト出力との間の遅延時間をプログラムで制御できるプログラマブル・シフトレジスタ(P.S.R)1と、そのプログラムを予め記憶して置くメモリROM2とを具え、又予備回線SPと各現用回線TP1の両送信符号処理部の間に該予備回線SPと各現用回線TP1とが互の位相差を無くすように制御する制御情報を転送する為の制御バス(BUS)3を具えて前記メモリROMに所要のプログラムを書き込むように構成した本発明によって達成される。

## 【0005】

【作用】 本発明の無線端局装置では、入力0系と1系の信号のセクションオーバーヘッドSOHを除去しポインタ

3

PTR を終端した多重化信号に夫々ポインタPTR を付替える PTR 付替器が、送信側のセクタSEL<sub>1</sub>による 0系と 1系の切替の後に配置され、該切替の後の予備回線SPの送信符号処理部に設けたプログラマブル・シフトレジスタ P.S.R 1が、新ポインタPTR の処理の為に入力する信号と其のシフト出力との間の遅延時間を、予備回線SPと現用回線TP 1の両送信符号処理部の間に設けた制御バスBUS 3により予めメモリROM 2に書き込んで置いたプログラムで、予備回線SPと現用回線TP 1が同期するように互の位相差が無くなるように制御する。従って受信側の予備回線SPの出力と各現用回線TP 1の 0/1系出力とのシステム切替のセクタSEL<sub>2</sub>における予備回線SPの PTR 終端器の出力と現用回線TP 1の PTR 終端器の 0/1系の各出力との間に位相差が生じなくなり、無瞬断のシステム切替が可能となる。そして受信側のシステム切替のセクタSEL<sub>2</sub>の回路規模も膨大とならない。

【0006】

【実施例】図2は本発明の実施例の無線端局装置の全体の構成を示すブロック図であり、図3は其の予備回線の送信符号処理部に設けるポインタPTR 付替部のブロック図である。図3の予備回線SPの送信符号処理部のポインタPTR 付替部は、プログラマブル・シフトレジスタP.S.R 1と、その入力信号と其のシフト出力との間の遅延時間を制御するプログラムプログラムを予め記憶するメモリROM 2と、前記P.S.R 1の出力を書き込み出力するエラスティックメモリESと、該ESの出力を新多重化信号の先頭位置を表すアドレスであるポインタPTR とする PTR 処理器から構成される。そして回線設定時に、メモリROM 2に、送信側のセクタSEL<sub>1</sub>による0/1系の切替と受信側の現用回線/ 予備回線の回線切替器HSW における同期切替とセクタSEL<sub>2</sub>によるシステム切替の合計の固定遅延差を予め書き込み登録して置く。そして現用回線TP 1の出力から予備回線SPの出力へ切替を行う為に両回線の送端を並列にする所謂送端並列時に、メモリROM 2から前記の固定遅延差データを読み出して、前記P.S.R

4

1を制御し、エラスティックメモリESを介して、PTR 処理器で新ポインタPTR の付替処理を行う。即ち、送信側のセクタSEL<sub>1</sub>における 0/1系の切替、現用/ 予備の回線切替器HSW における同期切替、受信側のセクタSEL<sub>2</sub>におけるシステム切替の各切替ポイントの合計の固定遅延差を考慮し、予備回線SPの送信符号処理部で、現用回線TP 1の出力と予備回線SPの出力との間に位相差が無くなるような状態で新ポインタPTR の付替の処理を行うので、各構成回路のバラツキ及び無線区間のフェージング等による現用回線TP1 と予備回線SPのデータの位相差は上記の予備回線における PTR 処理によって吸収される。回線切替時の送端並列時には、ポインタPTR の値が同じ値となるように制御バス3 を使用して、新しい多重化信号の先頭位置を表すアドレス情報等を相手に転送する。即ち、送端並列の ON 時は現用回線から予備回線へ、OFF 時は予備回線から現用回線へ転送する。

【0007】

【発明の効果】以上説明した如く、本発明によれば、構成回路の規模を増加させることなく、各切替器における無瞬断のヒットレス切替が可能となるので、SDH 対応のデジタルの無線端局装置による伝送信号の品質を向上する効果が得られる。

【図面の簡単な説明】

【図1】 本発明の無線端局装置の基本構成を示す原理図、

【図2】 本発明の実施例の無線端局装置の全体の構成を示すブロック図、

【図3】 本発明の実施例の無線端局装置の予備回線の送信符号処理部に設けるポインタPTR 付替部のブロック図、

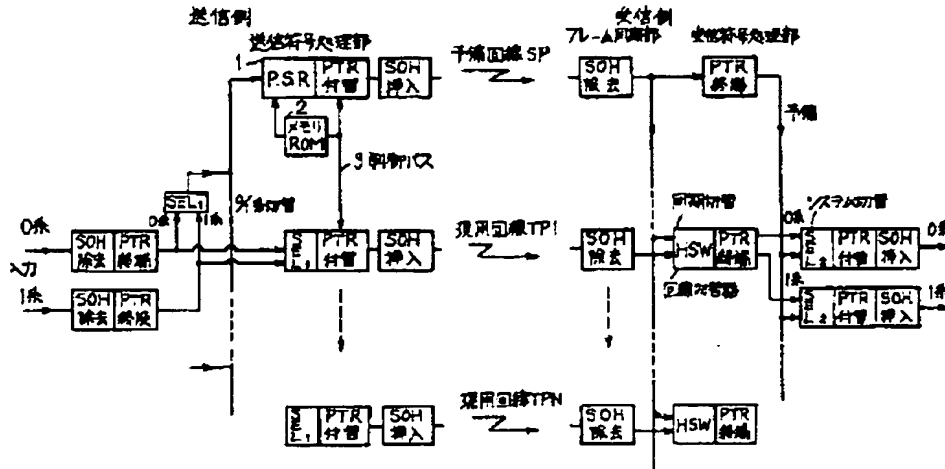
【図4】 従来の SDH対応の無線端局装置のブロック図である。

【符号の説明】

1はプログラマブル・シフトレジスタP.S.R、2はメモリROM、3は制御バスである。

【図1】

本発明の無線端局装置の基本構成を示す原理図



【図2】

本発明の実施例の無線端局装置の全体の構成を示すブロック図

